

(11)Publication number : 2001-351122  
(43)Dat of publication of application : 21.12.2001

G06T 15/40

(71)Applicant : VICTOR CO OF JAPAN LTD

(72)Inventor : NAKAO HAYATO

**(57)Abstract:**

[illegible]

27.09.2002

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

<http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAh6a4u2DA413351122P1.ht...> 03/08/06

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-351122

(P2001-351122A)

(43)公開日 平成13年12月21日(2001.12.21)

(51) Int.Cl.?

G O 6 T 15/40

識別記号

200

FI

G O 6 T 15/40

テーマコード\* (参考)

200 5B080

審査請求 未請求 請求項の数2 O.L (全 7 頁)

(21)出願番号

特願2000-171460(P2000-171460)

(22) 出題目

平成12年6月8日(2000.6.8)

(71) 出題人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 中尾 早人

神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ビクター株式会社内

(74) 代理人 100105119

弁理士 新井 孝治

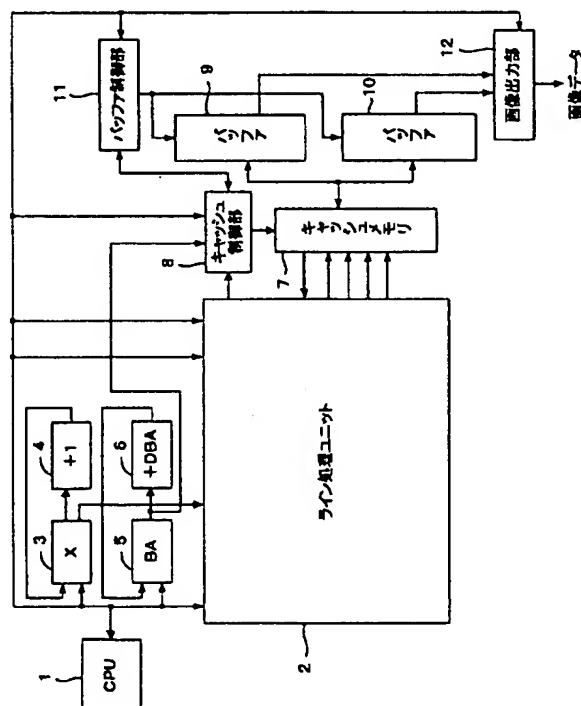
Fターム(参考) 5B080 AA13 CA01 CA08 FA02 GA02  
GA22

(54)【発明の名称】 画像生成方法

(57) 【要約】

【課題】 隠面消去された3次元形状物体の画像生成をより高速に行うことができる画像生成方法を提供する。

【解決手段】 画面のmライン分のデータを格納するキャッシュメモリ7と、キャッシュメモリ7に格納したnライン分のデータを並列に処理するライン処理ユニット2を設ける。3次元空間中に配置した物体を基本形状であるポリゴンの集まりとして定義し、ポリゴン内の画素について奥行き値Zの小さい画素データでキャッシュメモリ7内のデータを更新する。mライン分のデータ処理が終了すると次のmライン分の処理を行う。



## 【特許請求の範囲】

【請求項 1】 3次元空間中に配置した物体を基本形状であるポリゴンの集まりとして定義し、格子状に並んだ画素で構成される画面上の各画素位置に対応した、視点からの距離を表す奥行き値および輝度値を格納するバッファを用いて、前記奥行き値に基づいて隠面消去した画像を生成する画像生成方法において、  
 前記画面の $m$  ( $m$ は2以上の整数) ライン分の奥行き値及び輝度値を格納するキャッシュメモリを設け、  
 ポリゴンの左辺の画素位置を示すデータを格納する左辺画素位置レジスタと、ポリゴンの右辺の画素位置を示すデータを格納する右辺画素位置レジスタと、処理対象の画素位置に対応する奥行き値を格納する奥行き値レジスタと、前記奥行き値の横1画素分の増分値を格納する奥行き値増分値レジスタと、処理対象の画素位置に対応する輝度値を格納する輝度値レジスタと、前記輝度値の横1画素分の増分値を格納する輝度値増分値レジスタと、  
 前記キャッシュメモリから読み出した、処理対象の画素位置に対応する奥行き値を格納する奥行き値バッファレジスタとを $m$ ライン分設け、  
 処理対象の画素位置を示すデータを格納する画素位置レジスタと、その画素に対応するバッファアドレスを格納するアドレスレジスタとを設け、  
 前記 $m$ ラインのそれぞれに対応して、処理対象の画素位置が前記ポリゴンの左辺の画素位置と右辺の画素位置との間にある場合に「1」になるポリゴン内フラグと、該ポリゴン内フラグが「1」であり且つ前記奥行き値レジスタの値が前記奥行き値バッファレジスタの値より小さい場合に「1」になる前方フラグとを生成する第1処理ステップと、  
 前記バッファアドレスに対応したデータが前記キャッシュメモリに保持されていない場合には、前記キャッシュメモリの内容を前記バッファに書き戻し、前記バッファアドレスに対応したデータを前記バッファから読み出して前記キャッシュメモリに格納する第2処理ステップと、  
 処理対象の画素位置に対応する $m$ ライン分の奥行き値を前記キャッシュメモリから前記奥行き値バッファレジスタに読み込む第3処理ステップと、  
 前記前方フラグが「1」であるラインのみ前記奥行き値レジスタの値及び前記輝度値レジスタの値を前記キャッシュメモリに格納する第4処理ステップと、  
 前記画素位置レジスタの値、及び前記アドレスレジスタの値を横1画素分増加させるとともに、前記ポリゴン内フラグが「1」であるラインのみ、前記奥行き値レジスタ及び輝度値レジスタの値に横1画素分の増分値を加算する第5処理ステップとを含み、  
 全てのラインのポリゴン内フラグが「0」になるまで前記第1処理ステップから第5処理ステップまでを繰り返すことを特徴とする画像生成方法。

【請求項 2】 色を示すデータ、法線ベクトルを示すデータ、及びテクスチャマッピング用画像の座標や解像度毎にテクスチャマッピング画像がある場合は解像度を示すデータなどのように画素毎に保持しうるデータを格納する少なくとも1つの画素データレジスタと、そのデータの横1画素分の増分値を格納する少なくとも1つの増分値レジスタとを更に $m$ ライン分設け、前記第5処理ステップにおいて前記ポリゴン内フラグが「1」であるラインについて、前記画素データレジスタの値に前記増分値レジスタの値を加算することを特徴とする請求項1に記載の画像生成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータグラフィックスにおける3次元形状物体の画像生成方法に関する。

【0002】

【従来の技術】コンピュータグラフィックスによる3次元形状物体を隠面消去した画像を生成する方法としては、Zバッファ法が良く知られている。Zバッファ法は、視点からの距離である奥行き値を各画素毎に1画素分格納するZバッファと、明るさを表す輝度値を各画素毎に1画素分格納するフレームバッファとを用い、各画素ごとにZバッファ中の奥行き値と、新しく計算した3次元形状物体の奥行き値とを比較して、視点から近い方の奥行き値および輝度値をZバッファおよびフレームバッファに残すことで、最終的に隠面消去された画像をフレームバッファ中に生成する方法である。

【0003】

【発明が解決しようとする課題】Zバッファ法は、3次元形状物体を画面に投影したときの投影像に含まれる各画素毎に計算・バッファアクセスを行うため、画素毎の処理の多さが画像生成を高速化する場合の問題となっていた。本発明はこの点を改善するためになされたものであり、隠面消去された3次元形状物体の画像生成をより高速に行うことができる画像生成方法を提供することを目的とする。

【0004】

【課題を解決するための手段】上記目的を達成するため請求項1に記載の発明は、3次元空間中に配置した物体を基本形状であるポリゴンの集まりとして定義し、格子状に並んだ画素で構成される画面上の各画素位置に対応した、視点からの距離を表す奥行き値および輝度値を格納するバッファを用いて、前記奥行き値に基づいて隠面消去した画像を生成する画像生成方法において、前記画面の $m$  ( $m$ は2以上の整数) ライン分の奥行き値及び輝度値を格納するキャッシュメモリを設け、ポリゴンの左辺の画素位置を示すデータを格納する左辺画素位置レジスタと、ポリゴンの右辺の画素位置を示すデータを格納する右辺画素位置レジスタと、処理対象の画素位置に対

応する奥行き値を格納する奥行き値レジスタと、前記奥行き値の横1画素分の増分値を格納する奥行き値増分値レジスタと、処理対象の画素位置に対応する輝度値を格納する輝度値レジスタと、前記輝度値の横1画素分の増分値を格納する輝度値増分値レジスタと、前記キャッシュメモリから読み出した、処理対象の画素位置に対応する奥行き値を格納する奥行き値バッファレジスタとをmライン分設け、処理対象の画素位置を示すデータを格納する画素位置レジスタと、その画素に対応するバッファアドレスを格納するアドレスレジスタとを設け、前記mラインのそれぞれに対応して、処理対象の画素位置が前記ポリゴンの左辺の画素位置と右辺の画素位置との間にある場合に「1」になるポリゴン内フラグと、該ポリゴン内フラグが「1」であり且つ前記奥行き値レジスタの値が前記奥行き値バッファレジスタの値より小さい場合に「1」になる前方フラグとを生成する第1処理ステップと、前記バッファアドレスに対応したデータが前記キャッシュメモリに保持されていない場合には、前記キャッシュメモリの内容を前記バッファに書き戻し、前記バッファアドレスに対応したデータを前記バッファから読み出して前記キャッシュメモリに格納する第2処理ステップと、処理対象の画素位置に対応するmライン分の奥行き値を前記キャッシュメモリから前記奥行き値バッファレジスタに読み込む第3処理ステップと、前記前方フラグが「1」であるラインのみ前記奥行き値レジスタの値及び前記輝度値レジスタの値を前記キャッシュメモリに格納する第4処理ステップと、前記画素位置レジスタの値、及び前記アドレスレジスタの値を横1画素分増加させるとともに、前記ポリゴン内フラグが「1」であるラインのみ、前記奥行き値レジスタ及び輝度値レジスタの値に横1画素分の増分値を加算する第5処理ステップとを含み、全てのラインのポリゴン内フラグが「0」になるまで前記第1処理ステップから第5処理ステップまでを繰り返すことを特徴とする。

【0005】請求項2に記載の発明は、請求項1に記載の画像生成方法において、色を示すデータ、法線ベクトルを示すデータ、及びテクスチャマッピング用画像の座標や解像度毎にテクスチャマッピング画像がある場合は解像度を示すデータなどのように画素毎に保持しうるデータを格納する少なくとも1つの画素データレジスタと、そのデータの横1画素分の増分値を格納する少なくとも1つの増分値レジスタとを更にmライン分設け、前記第5処理ステップにおいて前記ポリゴン内フラグが「1」であるラインについて、前記画素データレジスタの値に前記増分値レジスタの値を加算することを特徴とする。

【0006】

【発明の実施の形態】以下本発明の実施の形態を図面を参照して説明する。図1は本発明の一実施形態にかかる画像生成装置の構成を示すブロック図である。この装置

は、3次元空間中に配置した物体を基本形状であるポリゴンの集まりとして定義し、格子状に並んだ画素で構成される画面上の各画素位置に対応した、視点からの距離を表す奥行き値及び輝度値を格納するバッファを用いて、奥行き値に基づいて隠面消去した画像データを生成し、画像表示装置に表示するものである。

【0007】図1に示す装置は、全体的な制御を行うCPU (Central Processing Unit) 1と、格子状に並んだ画素で構成される画面上の各画素位置に対応した、視点からの距離を表す奥行き値Zおよび輝度値R、G、Bを格納するバッファ9、10と、これらのバッファ9、10のデータの書き込み及び読み出しを制御するバッファ制御部11と、画面のmライン分 (例えば8ライン分) の奥行き値Z及び輝度値R、G、Bを格納するキャッシュメモリ7と、キャッシュメモリ7のデータの書き込み及び読み出しを制御するキャッシュ制御部8と、表示装置 (図示せず) に画像データを出力する画像出力部12と、mライン分のデータを並列に処理するライン処理ユニット2と、処理対象の画素の水平方向の位置を示すデータが格納されるXレジスタ3と、Xレジスタ3の値を「1」ずつインクリメントするインクリメント部4と、Xレジスタ3に格納されているデータの、バッファ9または10におけるアドレスを示すバッファアドレスが格納されるBAレジスタ5と、BAレジスタ5の値を所定値DBAずつインクリメントするインクリメント部6とを備えている。

【0008】図2は、ライン処理ユニット2の構成を示すブロック図である。ライン処理ユニット2は、CPU1、Xレジスタ3、キャッシュメモリ7及びキャッシュ制御部8に並列に接続されたm個のユニットからなり、各ユニットは、処理対象となっているポリゴンの左辺の画素位置を示すデータが格納されるSXレジスタ21と、処理対象となっているポリゴンの右辺の画素位置を示すデータが格納されるEXレジスタ22と、キャッシュメモリ7から読み込んだ奥行き値Zが格納されるZBレジスタ23と、奥行き値Zが格納されるZレジスタ24、奥行き値Zの横1画素分の増分値DZが格納されるDZレジスタ25、赤緑青の各輝度値が格納されるRレジスタ26、Gレジスタ28及びBレジスタ30と、これらの輝度値の横1画素分の増分値DR、DG、DBが格納されるDRレジスタ27、DGレジスタ29及びDBレジスタ31と、比較器32、33と、処理対象の画素位置がポリゴン内にあることを「1」で示すポリゴン内フラグALを出力するAND回路34と、処理対象であるポリゴン内の画素が、対応するキャッシュメモリ7内の画素より前方 (より視点に近い位置) にあることを「1」で示す前方フラグAPを出力するAND回路36と、比較器38と、加算器39～42とによって構成されている。

【0009】図3は、図1、2に示す構成の画像処理装

置による1フレームの画像の処理手順を示すフローチャートである。CPU1からバッファ切替えの指示が出ると、バッファ制御部11はバッファの切替を行う(ステップS11)。バッファ切替により、バッファ制御部11によって初期化されたバッファが、キャッシュメモリ7を介してライン処理ユニット2を構成するm個のユニットからアクセス可能となる。2つのバッファ9, 10の内、キャッシュメモリ7がアクセスしないバッファから、画像出力部12を介して画像データ(輝度データ)が読み出される。

【0010】次にフレーム内にポリゴンデータがあるかを判別し(ステップS12)、無ければ処理を終了し、ポリゴンデータ有りの場合は、CPU1はラインとラインエンドを算出する(ステップS13)。ラインはポリゴンの上端ラインより小さい値で、mの倍数である。ラインエンドはポリゴンの下端ラインより大きい値で、mの倍数である。ラインとラインエンドはCPU1の内部レジスタに保持される。

【0011】ステップS14では、ラインがラインエンドと等しいか否かを判別し、異なる場合は、CPU1はm個のユニットの各レジスタにポリゴンの左辺の画素位置SX、右辺の画素位置EX、左辺の奥行き値Z、奥行き値の横1画素分の増分値DZ、左辺の輝度値R、G、B、輝度値の横1画素分の増分値DR、DG、DBを設定する。ここでCPU1は、ポリゴンの上端ラインより上のラインやポリゴンの下端ラインより下のラインに対応するユニットのSXレジスタ21には、処理対象画素位置Xの最大値に「1」を加算した値を設定して、常にポリゴン内フラグAL=0となるようにする。ポリゴン内フラグALは、処理対象画素位置データXがポリゴンの左辺と右辺の間にあるとき、すなわち $SX \leq X \leq EX$ であるとき、「1」となるフラグである。

【0012】次にCPU1は、各ユニットのSXレジスタ21に格納されているSXのうち最小のSXを、現在処理している画素位置Xとして、Xレジスタ3に設定し、その画素位置Xに対応するバッファアドレスBAをBAレジスタ5に設定する(ステップS16)。このときBAレジスタ5に設定したバッファアドレスBAに対応したデータがキャッシュメモリ7に保持されていない場合、キャッシュ制御部8はキャッシュメモリ7の内容をバッファ9または10に書き戻し、バッファアドレスBAに対応したデータをバッファ9または10から読み出してキャッシュメモリ7に格納する。

【0013】次にステップS20に進み、m個のユニットのポリゴン内フラグALのすべてが「0」となったかを判別し、1つでもAL=1のユニットがあるときは、ステップS17に進む。ステップS17では、キャッシュメモリ7の奥行き値Zを各ユニットのZBレジスタ23に格納する。この処理はCPU1の専用命令として実現している。

【0014】次に前方フラグAP=1であるユニットのみ、奥行き値Z及び輝度値R、G、Bをキャッシュメモリ7に格納する(ステップS18)。前方フラグAPは、ポリゴン内フラグAL=1であってかつ $Z < ZB$ である、すなわちZBレジスタ23に読み出された奥行き値よりZレジスタ24に格納されている奥行きZの方が小さい場合に「1」となるフラグである。この処理により、ポリゴン内の画素であって、奥行き値Zがキャッシュメモリ7内に格納されている奥行き値より小さい画素のデータのみ、キャッシュメモリ7に書き込まれ、データが書き換えられる。この処理もCPU1の専用命令として実現している。

【0015】そして現在処理している画素位置X及びバッファアドレスBAを横1画素分の増分値を加算し、さらにポリゴン内フラグAL=1のユニットのみ奥行き値Z及び輝度値R、G、Bに横1画素分の増分値DZ、DR、DG、DBを加算する(ステップS19)。この処理もCPU1の専用命令として実現している。ステップS16と同様に、バッファアドレスBAに対応したデータがキャッシュメモリ7に保持されていない場合、キャッシュ制御部8はキャッシュメモリ7の内容をバッファ9または10に書き戻し、バッファアドレスBAに対応したデータをバッファ9または10から読み出してキャッシュメモリ7に格納する。

【0016】ステップS20で全てのユニットのポリゴン内フラグALが「0」となると、ステップS21でラインにmを加算し、ラインとラインエンドを比較するステップS14に戻る。そしてラインがラインエンドと等しくなったら、次のポリゴンがあるかチェックし、無ければ1フレームの処理を終了する。

【0017】以上のように本実施形態では、画面のmライン分の奥行き値及び輝度値を格納するキャッシュメモリ7と、mライン分の画像データ処理を並列に実行するm個のユニットからなるライン処理ユニット2と、処理対象の画素位置Xが格納されるXレジスタ3と、その画素に対応するバッファアドレスが格納されるBAレジスタ5とを設け、さらにライン処理ユニット2の各ユニットに、ポリゴンの左辺の画素位置が格納されるSXレジスタ21と、ポリゴンの右辺の画素位置が格納されるEXレジスタ22と、処理対象の画素位置に対応する奥行き値Zが格納されるZレジスタ24と、奥行き値Zの横1画素分の増分値DZが格納されるDZレジスタ25と、処理対象の画素位置に対応する輝度値R、G、Bが格納されるRレジスタ26、Gレジスタ28及びBレジスタ30と、輝度値R、G、Bの横1画素分の増分値DR、DG、DBが格納されるDRレジスタ27、DGレジスタ29及びDBレジスタ31と、キャッシュメモリ7から読み出した、処理対象の画素位置に対応する奥行き値Zが格納されるZBレジスタ23とを設けるとともに、各ユニットは、処理対象の画素位置がポリゴンの左

辺の画素位置と右辺の画素位置との間にある場合に

「1」になるポリゴン内フラグALと、該ポリゴン内フラグALが「1」であり且つ前記奥行き値レジスタ24の値が前記奥行き値バッファレジスタ23の値より小さい場合に「1」になる前方フラグAPとを生成するように構成し、画像内のすべてのラインのポリゴン内フラグALが「0」となるまで、下記ステップ1)～4)を繰り返すようにした。

【0018】1) バッファアドレスBAに対応したデータがキャッシュメモリ7に保持されていない場合には、キャッシュメモリ7の内容をバッファ9または10に書き戻し、バッファアドレスBAに対応したデータをバッファ9または10から読み出してキャッシュメモリ7に格納し(図3、ステップS16、S19)。

2) 処理対象の画素位置Xに対応するmライン分の奥行き値Zをキャッシュメモリ7からZBレジスタ23に読み込み(図3、ステップS17)。

3) 前方フラグAPが「1」であるラインのみZレジスタの値及び輝度値レジスタR、G、Bの値をキャッシュメモリ7に格納し(図3、ステップS18)。

4) Xレジスタ3の値、及びBAレジスタ5の値を横1画素分増加させるとともに、ポリゴン内フラグALが「1」であるラインのみ、Zレジスタ24、Rレジスタ26、Gレジスタ28及びBレジスタ30の値に横1画素分の増分値DZ、DR、DG及びDBを加算する(図3、ステップS19)。

したがって、mライン分でデータを同時に処理することが可能となり、隠面消去した3次元画像の生成をより高速に行うことが可能となる。

【0019】なお本発明は上述した実施形態に限るものではなく、種々の変形が可能である。例えば、上述した実施形態では、1つの画素に対応するデータとしては、奥行き値Zと輝度値R、G、Bとしたが、これに限るものではなく、色を示すデータ、法線ベクトルを示すデータ、及びテクスチャマッピング用画像の座標や解像度毎にテクスチャマッピング画像がある場合は解像度を示すデータなどのように画素毎に保持しうるデータを輝度値R、G、Bと同様に取り扱うようにしてもよい。その場合には、ライン処理ユニット2を構成する各ユニットに、色を示すデータ、法線ベクトルを示すデータ、及びテクスチャマッピング用画像の座標や解像度毎にテクスチャマッピング画像がある場合は解像度を示すデータなどのように画素毎に保持しうるデータを格納する画素データレジスタQと、そのデータの横1画素分の増分値を格納する少なくとも1つの増分値レジスタDQとをさらに設け、図3のステップ19においてポリゴン内フラグALが「1」であるラインについて、画素データレジスタQの値に増分値レジスタDQの値を加算するように構成すればよい。

【0020】

【発明の効果】以上詳述したように本発明の画像生成方法は、画面のm(mは2以上の整数)ライン分の奥行き値及び輝度値を格納するキャッシュメモリを設け、ポリゴンの左辺の画素位置を示すデータを格納する左辺画素位置レジスタと、ポリゴンの右辺の画素位置を示すデータを格納する右辺画素位置レジスタと、処理対象の画素位置に対応する奥行き値を格納する奥行き値レジスタと、前記奥行き値の横1画素分の増分値を格納する奥行き値増分値レジスタと、処理対象の画素位置に対応する輝度値を格納する輝度値レジスタと、前記輝度値の横1画素分の増分値を格納する輝度値増分値レジスタと、前記キャッシュメモリから読み出した、処理対象の画素位置に対応する奥行き値を格納する奥行き値バッファレジスタとをmライン分設け、処理対象の画素位置を示すデータを格納する画素位置レジスタと、その画素に対応するバッファアドレスを格納するアドレスレジスタとを設け、前記mラインのそれぞれに対応して、処理対象の画素位置が前記ポリゴンの左辺の画素位置と右辺の画素位置との間にある場合に「1」になるポリゴン内フラグと、該ポリゴン内フラグが「1」であり且つ前記奥行き値レジスタの値が前記奥行き値バッファレジスタの値より小さい場合に「1」になる前方フラグとを生成する第1処理ステップと、前記バッファアドレスに対応したデータが前記キャッシュメモリに保持されていない場合には、前記キャッシュメモリの内容を前記バッファに書き戻し、前記バッファアドレスに対応したデータを前記バッファから読み出して前記キャッシュメモリに格納する第2処理ステップと、処理対象の画素位置に対応するmライン分の奥行き値を前記キャッシュメモリから前記奥行き値バッファレジスタに読み込む第3処理ステップと、前記前方フラグが「1」であるラインのみ前記奥行き値レジスタの値及び前記輝度値レジスタの値を前記キャッシュメモリに格納する第4処理ステップと、前記画素位置レジスタの値、及び前記アドレスレジスタの値を横1画素分増加させるとともに、前記ポリゴン内フラグが「1」であるラインのみ、前記奥行き値レジスタ及び輝度値レジスタの値に横1画素分の増分値を加算する第5処理ステップとを含み、全てのラインのポリゴン内フラグが「0」になるまで前記第1処理ステップから第5処理ステップまでを繰り返すようにしたので、mライン分でデータを同時に処理することが可能となり、隠面消去した3次元画像の生成をより高速に行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかる画像生成装置の構成を示すブロック図である。

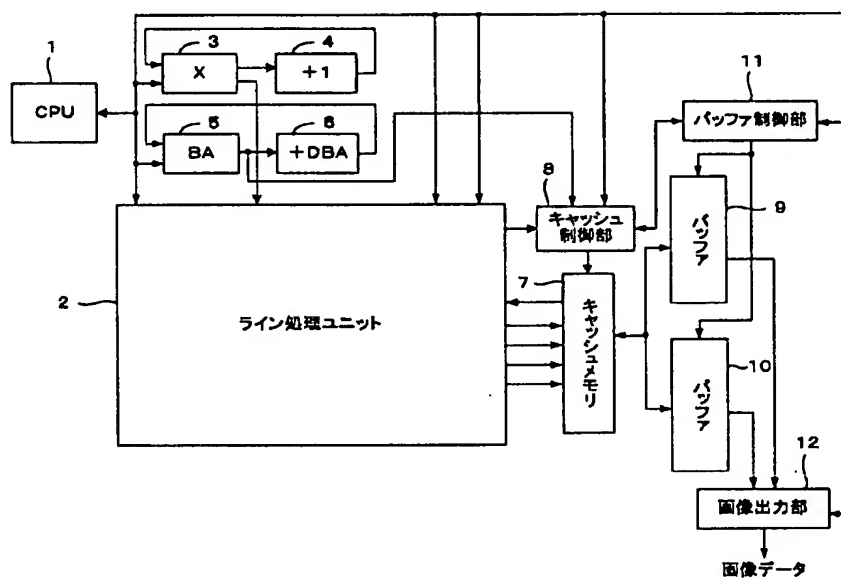
【図2】図1のライン処理ユニットの構成を示すブロック図である。

【図3】図1及び2に示す装置における処理手順を示すフローチャートである。

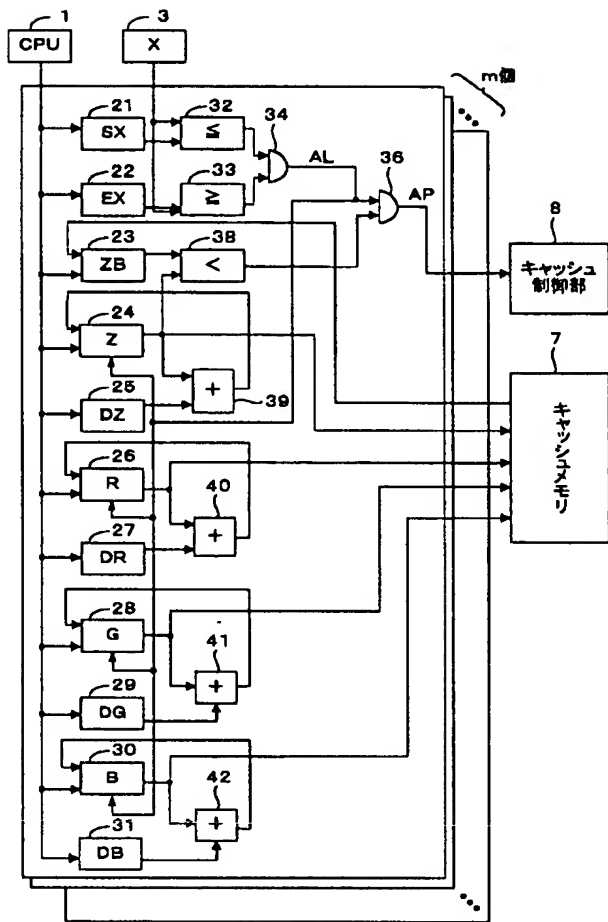
【符号の説明】

- |                        |                          |
|------------------------|--------------------------|
| 1 CPU                  | 22 EXレジスタ (右辺画素位置レジスタ)   |
| 2 ライン処理ユニット            | 23 ZBレジスタ (奥行き値バッファレジスタ) |
| 3 Xレジスタ (画素位置レジスタ)     | 24 Zレジスタ (奥行き値レジスタ)      |
| 5 BAレジスタ (アドレスレジスタ)    | 25 DZレジスタ (奥行き値増分値レジスタ)  |
| 7 キャッシュメモリ             | 26 Rレジスタ (輝度値レジスタ)       |
| 8 キャッシュ制御部             | 27 DRレジスタ (輝度値増分値レジスタ)   |
| 9, 10 バッファ             | 28 Gレジスタ (輝度値レジスタ)       |
| 11 バッファ制御部             | 29 DGレジスタ (輝度値増分値レジスタ)   |
| 11 バッファ制御部             | 30 Bレジスタ (輝度値レジスタ)       |
| 21 SXレジスタ (左辺画素位置レジスタ) | 31 DBレジスタ (輝度値増分値レジスタ)   |

【図1】



【図2】



【図3】

